

WEST**End of Result Set**

Generate Collection

L2: Entry 1 of 1

File: JPAB

Sep 3, 1984

PUB-NO: JP359154038A

DOCUMENT-IDENTIFIER: JP 59154038 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: September 3, 1984

INVENTOR-INFORMATION:

NAME

COUNTRY

MITANI, SHINICHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP58027569

APPL-DATE: February 23, 1983

US-CL-CURRENT: 148/DIG.55

INT-CL (IPC): H01L 21/82; H01L 21/88

ABSTRACT:

PURPOSE: To increase local specific resistance in order to accelerate generation of Joule's heat and facilitate blowing of fuse by allowing a fuse in the double structure of poly-silicon and metal silicide to have the constitution that only the metal silicide is removed by etching at a part in the longitudinal direction.

CONSTITUTION: A MISFETQ is formed within the active region which is surrounded by a field oxide film 2 formed at the principal surface of a semiconductor substrate 1 such as silicon and a fuse 3 is formed on the field oxide film 2. The fuse 3 is formed simultaneously with a gate electrode 7 in the double structure of a polycrystalline silicon 5 and a metal silicide, and is constituted as the specified flat and rectangular form. Only the metal silicide 6 at the upper layer is removed by etching from an intermediate part 16 in the longitudinal direction of the fuse 3. The both ends of fuse 3 are connected with an aluminum wiring layers 17, 18 and further connected to an element circuit (redundancy circuit). The gate electrode 7 can be integrated with high integration density and can be used for high speed operation owing to a low specific resistance of the metal silicide 6. Meanwhile, the fuse 3 melts at a part of intermediate region 16.

BEST AVAILABLE COPY

11/10/1 10:23

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—154038

⑤ Int. Cl.³
H 01 L 21/82
21/88

識別記号

庁内整理番号
6655—5F
6810—5F

③ 公開 昭和59年(1984)9月3日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

社日立製作所デバイス開発セン
タ内

① 特 願 昭58—27569

⑦ 出 願 人 株式会社日立製作所

② 出 願 昭58(1983)2月23日

東京都千代田区丸の内1丁目5
番1号

⑧ 発 明 者 三谷真一郎

小平市上水本町1450番地株式会

④ 代 理 人 弁理士 高橋明夫 外1名

PTO 2003-5576

S.T.I.C. Translations Branch

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 冗長回路およびこれに接続されたヒューズを備える半導体装置において、前記ヒューズは多結晶シリコンとメタルシリサイドとの2重構造とし、ヒューズの長さ方向一部において前記メタルシリサイドを切断状態に除去してなることを特徴とする半導体装置。
2. メタルシリサイドはモリブデン等の高融点金属からなる特許請求の範囲第1項記載の半導体装置。
3. ヒューズは2重構造のゲート電極と同時に構成してなる特許請求の範囲第1項又は第2項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明はヒューズを備える半導体装置に関し、とりわけ冗長回路をヒューズの切断によって切換え得る半導体装置に関するものである。

〔背景技術〕

一般にIC、LSI等の半導体装置はその高密度化、高速化が近年益々促進されて回路パターンが微細化されているが、パターンの微細化に伴って製造工程における異物等により欠陥が生じ易くなる。このため、特にメモリ用の半導体装置では、予め救済用の回路(ビット)、即ち冗長回路を同一半導体基板上に形成すると共に同時にヒューズを形成しておき、このヒューズを適宜切断又は接続状態とすることにより欠陥回路を冗長回路に切換え、これにより半導体装置を良品としてその製造歩留りの向上を図っている。

ところで、この種のヒューズは通常MIS型電界効果トランジスタ(MISFET)のゲート電極と同時に形成する多結晶シリコンにて構成することが考えられているが、ゲート電極を多結晶シリコンとメタルシリサイド(金属硅化物)の2重構造したときには、これをそのままヒューズに利用することは不可能である。即ち、ゲート電極に多結晶シリコンを使用すると、多結晶シリコンの

比抵抗が比較的に大きいことから高集積化や高速化に難点が生じる。このため、ゲート電極を多結晶シリコンと高融点金属のメタルシリサイドとで2重構造とし、このメタルシリサイドの低比抵抗を利用して高集積化、高速化を図っている。したがって、このゲート電極と同時に形成されるヒューズも多結晶シリコンとメタルシリサイドの2重構造となり、メタルシリサイドの低比抵抗特性によってヒューズ自身も低比抵抗化されてしまう。

このため、通常ではヒューズに過電流を通じ、その時ヒューズの有する抵抗により発生するジュール熱にてヒューズの切断(溶断)を行なっているのであるが、ヒューズが2重構造化されて比抵抗が小さくなるとジュール熱も発生し難くなり、ヒューズ切断を良好に行なうことができなくなる。また、ヒューズ切断を行ない得るとしても通じる電流量が極めて多く必要とされ、このための周辺回路を大形化、高耐圧化しなければならないという問題がある。

〔発明の目的〕

去した構成とすることにより、メタルシリサイドを除去した部位の比抵抗を局部的に増大し、これにより該部におけるジュール熱の発生を促進して前記したヒューズ切断の容易化、周辺装置の小型、軽量化を達成するものである。

〔実施例〕

第1図は本発明をMISFETに適用した実施例であり、シリコン等の半導体基板1の主面に形成したフィールド酸化膜2にて囲まれる活性領域内にMISFETQを構成し、前記フィールド酸化膜2上にヒューズ3を構成している。

即ち、前記MISFETQは、ゲート酸化膜4上に多結晶シリコン5と、モリブデン(Mo)等の高融点金属のメタルシリサイド6とで2重構造としたゲート電極7を有し、また半導体基板1の主面にソース領域8、ドレイン領域9を有している。また、前記ゲート電極7はリンシリケートガラス(PSG)膜10で覆われ、かつソース領域8、ドレイン領域9は夫々コンタクトホール11、12通してアルミ配線層13、14に接続される。

本発明の目的はゲート電極を多結晶シリコンとメタルシリサイドの2重構造とした半導体装置においてもヒューズの切断を容易に行なうことができ、しかも小電流による切断を可能にして周辺装置の小型、軽量化を図ることができる半導体装置を提供することにある。

また、本発明の他の目的はヒューズの切断箇所をヒューズの長さ方向の任意の位置に設定しかつ切断を短時間で完了することができる半導体装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかにするであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、多結晶シリコンとメタルシリサイドとで2重構造とされたヒューズをその長さ方向一部においてメタルシリサイドのみをエッチング除

去した構成とすることにより、メタルシリサイドを除去した部位の比抵抗を局部的に増大し、これにより該部におけるジュール熱の発生を促進して前記したヒューズ切断の容易化、周辺装置の小型、軽量化を達成するものである。

15はファイナルパッシベーションである。一方、前記ヒューズ3は前記ゲート電極7と同時に形成されて多結晶シリコン5とメタルシリサイド6の2重構造とされ、所定の短冊状の平面形状に構成される。そして、このヒューズ3はその長さ方向の中間一部16において上層のメタルシリサイド6のみをエッチング除去している。そして、ヒューズ3の両端にアルミ配線層17、18を接続して図外の素子回路(冗長回路)に接続している。また、層間絶縁膜としてのPSG膜10やファイナルパッシベーション15は前記ヒューズ3の中間一部16に相当する部分を開口して多結晶シリコン5を露呈させている。

次に以上の構成の半導体装置の製造プロセスを第2図により説明する。

先ず第2図(A)のように、シリコン等の半導体基板1の主面に常法によりフィールド酸化膜2とゲート酸化膜4を形成する。次いで同図(B)のように、多結晶シリコン膜5をOVD法等により形成し、更にその上にスパッタ法等によりMo等の高融点

金属膜6Aを形成する。そして、これを600℃程度に加熱すれば高融点金属膜6Aはメタルシリサイド6として構成され、結局多結晶シリコン5とメタルシリサイド6の2重構造とされる。その後、パターニングを行なえば、同図(中)のようにフィールド酸化膜2上にヒューズ3が、ゲート酸化膜4上にゲート電極7が夫々形成される。

次に、ゲート電極7を用いたセルフアライン法により半導体基板1の主面にイオン打込領域、即ちソース領域8、ドレイン領域9を形成する。その上で、同図(中)のように前記ヒューズ3の長さ方向の中間一部16を残してホトレジストマスク19を常法で形成し、スパッタエッチングによりこの中間一部16のメタルシリサイド6のみをエッチング除去する。これにより、メタルシリサイド6は中間一部16において切断され、多結晶シリコン5によってのみ接続されている状態となる。

次いで、同図(中)のように全面に層間絶縁膜としてのP80膜10を形成し、かつコンタクトホール11、12、20、21を形成した上でアルミ

配線層13、14、17、18を形成することにより、ヒューズ3のメタルシリサイド6やソース領域8、ドレイン領域9を夫々所要の素子回路に接続する。なお、このとき、ヒューズ3の中間一部16に相当するP80膜10にも開口10aを設け、多結晶シリコン5を露呈しておく。前記ホールや開口の形成にはドライエッチング法が有効である。次に同図(中)のようにファイナルパッシベーション15を形成してアルミ配線層13、14、17、18を覆った上で、図外の電極パッド部および前記ヒューズ3の中間一部16をエッチング除去すれば、電極パッド部の形成と同時にヒューズ3中間一部16の多結晶シリコン5を露呈させて第1図に示した半導体装置を構成できる。

以上の構成によれば、ゲート電極7は多結晶シリコン5とメタルシリサイド6の2重構造に構成されるので、メタルシリサイド6の低比抵抗により高集積化と高速化を図ることができる一方、ヒューズ3はゲート電極7と同時に製造できるのとはもとより、その中間一部16のメタルシリサイド

6を除去した構成としているので、ヒューズ3は中間一部の比抵抗が多結晶シリコンの値(30Ω/□)となり、他のメタルシリサイドの値(〜4Ω/□)よりも格段に大きくなる。このため、ヒューズ3に過電流を通流したときには中間一部16におけるジュール熱の発生が著しく、ヒューズはこの中間一部16において溶断されかつ切断されることになる。したがって、ヒューズの切断箇所をその中間一部、即ちメタルシリサイドを除去した部位に設定できしかもそのコントロールを容易に行ない得ると共に、溶断に必要とされる電流エネルギーを該部に集中できるので電流量を小さくても周辺回路の小型化、簡単化が達成できる。

【効果】

- (1) ヒューズを多結晶シリコンとメタルシリサイドの2重構造としているので、高集積化、高速化を目的とした半導体装置のゲート電極と同時に形成が可能となり製造を容易なものにできる。
- (2) ヒューズの長さ方向一部のメタルシリサイドを除去しているため、メタルシリサイドの除去部

分の比抵抗を局部的に増大でき、ヒューズの切断箇所をこの局部に設定でき、その位置のコントロールを容易なものとする。

- (3) ヒューズの一部の比抵抗を局部的に増大し、この部位にジュール熱の発生を集中できるので、電流エネルギーの集中利用を図って低電流化を可能とし、これにより周辺装置の小型化、軽量化を達成できる。

以上本発明者によってなされた発明を実施例にせず具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ヒューズと他の回路との接続はアルミ配線層を用いることなくメタルシリサイドを延長して利用するようにしてもよい。

【利用分野】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるメモリ用半導体装置に適用した場合について説明したが、それに限定されるものではなく、例えば、論

理回路用半導体装置等ヒューズを備えるものに於ては
全て適用できる。

図面の簡単な説明

第1図は本発明装置の断面図、

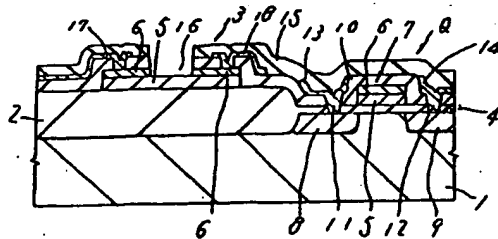
第2図(A)~(F)は製造プロセスの断面図である。

1…半導体(シリコン)基板、2…フィールド酸化膜、3…ヒューズ、4…ゲート酸化膜、5…多結晶シリコン、6…メタルシリサイド、7…ゲート電極、8…ソース領域、9…ドレイン領域、10…PBG膜、15…ファイナルパッシベーション、16…中間一部、Q…MISFET。

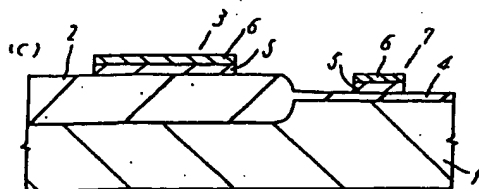
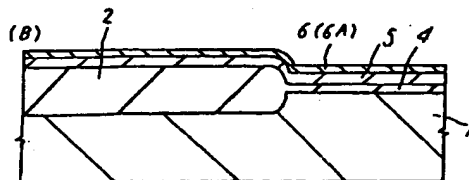
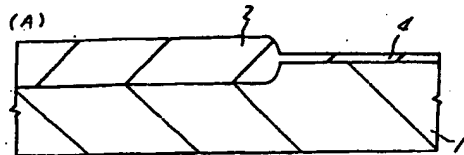
代理人 弁理士 高橋 明 夫



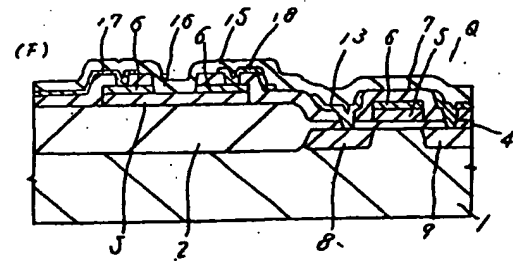
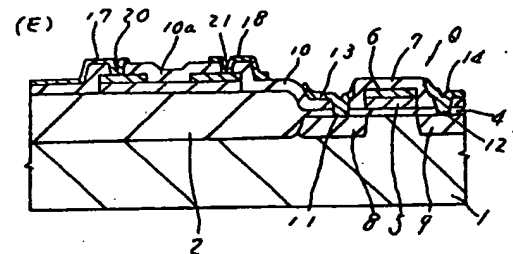
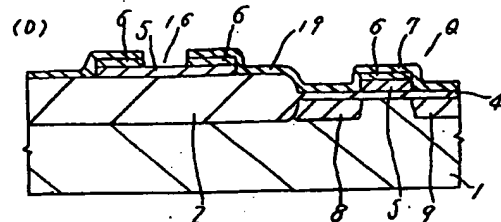
第1図



第2図



第2図



PTO 03-5576

Japanese Kokai Patent Application
No. Sho 59[1984]-154038

SEMICONDUCTOR DEVICE

Shinichiro Mitani

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. SEPTEMBER 2003
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 59[1984]-154038

Int. Cl. ³ :	H 01 L 21/82 21/88
Sequence Nos. for Office Use:	6655-5F 6810-5F
Filing No.:	Sho 58[1983]-27569
Filing Date:	February 23, 1983
Publication Date:	September 3, 1984
No. of Inventions:	1 (Total of 4 pages)
Examination Request:	Not filed

SEMICONDUCTOR DEVICE
[Handotai sochi]

Inventor:	Shinichiro Mitani
Applicant:	Hitachi, Ltd.

[There are no amendments to this patent.]

Claims

1. A semiconductor device, characterized by the fact that in a semiconductor device equipped with a redundant circuit and a fuse connected to it, the above-mentioned fuse has a double structure of a polycrystalline silicon and a metal silicide; and the above-mentioned metal silicide is removed in a cut-off state at a part in the longitudinal direction of the fuse.
2. The semiconductor device of Claim 1, characterized by the fact that the metal silicide is composed of a metal with a high melting point such as molybdenum.
3. The semiconductor device of Claim 1 or 2, characterized by the fact that the fuse is simultaneously constituted with a gate electrode with a double structure.

Detailed explanation of the invention

Technical field

The present invention pertains to a semiconductor device equipped with a fuse. In particular, the present invention pertains to a semiconductor device that can switch a redundant circuit by cutting off the fuse.

Background of the technology

In general, in semiconductor devices such as ICs and LSIs, their high densification and high speed have increasingly accelerated recently, and circuit patterns have been miniaturized. However, along with the miniaturization of patterns, defects are easily generated by foreign matter in manufacturing processes. For this reason, in a semiconductor device for a memory, a relief circuit (pit), that is, a redundant circuit is formed in advance on the same semiconductor substrate, and a fuse is simultaneously formed. A defective circuit is switched to the redundant circuit by appropriately setting the fuse to a cut-off state or a connected state, so that the semiconductor device is improved, thereby improving the manufacturing yield.

On the other hand, this kind of fuse is usually composed of a polycrystalline silicon simultaneously formed with a gate electrode of a MIS type field-effect transistor (MISFET); however when the gate electrode has a double structure of a polycrystalline silicon and a metal silicide, it cannot be used as is in the fuse. In other words, if polycrystalline silicon is used in the gate electrode, since the resistivity of the polycrystalline silicon is relatively large, a difficulty is caused in the high integration and the high speed. For this reason, the gate electrode is constituted by a double structure of a polycrystalline silicide and a metal silicide composed of a metal with a high melting point, and using the low resistivity of the metal silicide, a high integration and a high speed are realized. Therefore, a fuse simultaneously formed with the gate electrode has a double structure of a polycrystalline silicon and a metal silicide, so that the resistivity of the fuse itself is also lowered by the low resistivity characteristic of the metal silicide.

For this reason, usually, an overcurrent is sent to the fuse, and the fuse is cut off (fused) by Joule heat generated by the resistance of the fuse at that time. However, the fuse has a double structure and the resistivity is lowered, so the Joule heat is also difficult to generate, so that the fuse cannot be readily cut off. Also, even if the fuse can be cut off, a very large supply of current is required, and peripheral circuits for the purpose must be of large scale, and the withstand voltage must be raised.

Objective of the invention

The objective of the present invention is to provide a semiconductor device in which a fuse can be easily cut off even in a semiconductor device where a gate electrode has a double structure of a polycrystalline silicon and a metal silicide and peripheral devices can be of small scale and lightened by being able to cut off the fuse with a small current.

Also, another objective of the present invention is to provide a semiconductor device in which the cutting-off portion of a fuse can be set at an optional position in the longitudinal direction of the fuse and the cutting-off can be completed in a short time.

The above-mentioned and other objectives and new characteristics of the present invention will be clarified from the description of this specification and the attached figures.

Outline of the invention

The outline of a representative invention presented in this application will be briefly explained as follows.

In other words, with a constitution in which only the metal silicide of a fuse with a double structure of a polycrystalline silicon and a metal silicide is removed at a part in the longitudinal direction by etching, the resistivity of the part in which the metal silicide is removed is locally increased, so that the generation of Joule heat is accelerated in said part, thereby achieving an easiness of the above-mentioned fuse cut-off, miniaturization of peripheral devices, and lightness.

Application example

Figure 1 shows an application example in which the present invention is applied to a MISFET. A MISFET Q is constituted in an active region enclosed by a field oxide film 2 formed on the principal plane of a semiconductor substrate 1 such as silicon, and a fuse 3 is constituted on the above-mentioned field oxide film 2.

In other words, the above-mentioned MISFET Q has a gate electrode 7 with a double structure of a polycrystalline silicon 5 and a metal silicide 6 of a metal with a high melting point such as molybdenum (Mo) on a gate oxide film 4 and also has a source region 8 and a drain region 9 on the principal plane of the semiconductor substrate 1. The above-mentioned gate electrode is covered with a phosphorus silicate glass (PSG) film 10, and the source region 8 and the drain region 9 are respectively connected to aluminum wiring layers 13 and 14 through contact holes 11 and 12. 15 is a final passivation.

On the other hand, the above-mentioned fuse 3 is simultaneously formed with the above-mentioned gate electrode 7, has a double structure of the polycrystalline silicon 5 and the metal silicide 6, and is constituted in a prescribed strip-shaped planar shape. Only the metal

silicide 6 of the upper layer of the fuse 3 is removed at an intermediate part 16 in the longitudinal direction by etching. Then, aluminum wiring layers 17 and 18 are connected to both ends of the fuse 3 and connected to an element circuit (redundant circuit) which is not shown in the figure. Also, the PSG film 10 as an interlayer insulating film and the final passivation 15 expose the polycrystalline silicon 5 by opening the part corresponding to the intermediate part 16 of the above-mentioned fuse 3.

Next, the manufacturing process of the semiconductor device with the above constitution is explained by Figure 2.

First, as shown in Figure 2(A), the field oxide film 2 and the gate oxide film 4 are formed on the principal plane of the semiconductor substrate 1 such as silicon by an ordinary method. Next, as shown in (B) of the figure, the polycrystalline silicon film 5 is formed by a CVD method, etc. Furthermore, a metal film 6A with a high melting point such as Mo is formed on this by sputtering method, etc. Then, if this is heated to about 600°C, the metal film 6A with a high melting point is constituted as the metal silicide 6, and a double structure of the polycrystalline silicon 5 and the metal silicide 6 is eventually formed. Then, if patterning is applied, as shown in (C) of the figure, the fuse 3 is formed on the field oxide film 2, and the gate electrode 7 is formed on the gate oxide film 4.

Next, ion implantation regions, that is, the source region 8 and the drain region 9 are formed on the principal plane of the semiconductor substrate 1 by a self-alignment method using the gate electrode 7. As shown in (D) of the figure, a photoresist mask 19 is formed by an ordinary method, leaving the intermediate part 16 in the longitudinal direction of the above-mentioned fuse 3, and only the metal silicide 6 of the intermediate part 16 is removed by a sputtering etching. Thus, the metal silicide 6 is cut off at the intermediate part 16, and a connected state by only the polycrystalline silicon 5 is formed.

Next, as shown in (E) of the figure, the PSG film 10 as an interlayer insulating film is formed on the entire surface, contact holes 11, 12, 20, and 21 are formed, and the aluminum wiring layers 13, 14, 17 and 18 are formed, so that the metal silicide 6 of the fuse 3, source region 8, and drain region 9 are respectively connected to necessary element circuits. At that time, an opening 10a is also installed in the PSG film 10 corresponding to the intermediate part 16 of the fuse 3, and the polycrystalline silicon 5 is exposed. In the formation of the above-mentioned holes and opening, a dry-etching method is effective. Next, as shown in (F) of the figure, the aluminum wiring layers 13, 14, 17, and 18 are covered by forming the final passivation 15. Then, if an electrode pad part, which is not shown in the figure, and the intermediate part 16 of the above-mentioned fuse 3 are removed by etching, the electrode pad part is formed, and the polycrystalline silicon 5 of the intermediate part 16 of the fuse 3 is exposed, so that the semiconductor device shown in Figure 1 can be constituted.

According to the above constitution, since the gate electrode 7 is constituted with a double structure of the polycrystalline silicon 5 and the metal silicide 6, high integration and high speed can be realized by the low resistivity of the metal silicide 6. On the other hand, since the fuse 3 can be simultaneously manufactured with the gate electrode 7, the metal silicide 6 of the intermediate part 16 is removed. Thus, in the fuse 3, the resistivity of the intermediate part has a value ($30 \Omega/\square$) of the polycrystalline silicon and is much greater than a value ($\sim 4 \Omega/\square$) of the metal silicide. For this reason, when an overcurrent is circulated in the fuse 3, the generation of Joule heat in the intermediate part 16 is considerable, and the fuse is fused and cut off at the intermediate part 16. Therefore, the cut-off portion of the fuse can be set to the intermediate part, that is, the part from which the metal silicide is removed, and its control can be easily carried out. At the same time, since the current energy required for the fusion can be concentrated on said part, the amount of current can be reduced, so that peripheral circuits can be miniaturized and simplified.

Effect

(1) Since the fuse has a double structure of a polycrystalline silicon and a metal silicide, it can be simultaneously formed with the gate electrode of the semiconductor device for high integration and high speed, so that the manufacturing can be easy.

(2) Since the metal silicide of a part in the longitudinal direction of the fuse is removed, the resistivity of the part from which the metal silicide is removed can be locally increased, and the cut-off portion of the fuse can be set at a local part, so that control of the position is easy.

(3) Since the resistivity of a part of the fuse is locally increased and the generation of Joule heat can be concentrated on that part, the concentration of the current energy is utilized, and the current can be reduced, so that peripheral devices can be miniaturized and lightened.

The present invention created by this inventor has been explained above in detail based on an application example; however needless to say, the present invention is not limited to the above-mentioned application example but can be variously modified in the range where its essence is not deviated. For example, in the connection of the fuse and other circuits, the metal silicide may be extended and used instead of using aluminum wiring layers.

Application field

In the above explanation, the case where the present invention created by this inventor is applied to a semiconductor device for a memory as a background application field, however without being limited to it, for example, the present invention can be applied to all semiconductor devices for a logic circuit equipped with a fuse.

Brief description of the figures

Figure 1 is a cross section showing a device of the present invention.

Figures 2(A)-(F) are cross sections showing the manufacturing process.

- 1 Semiconductor (silicon) substrate
- 2 Field oxide film
- 3 Fuse
- 4 Gate oxide film
- 5 Polycrystalline silicon
- 6 Metal silicide
- 7 Gate electrode
- 8 Source region
- 9 Drain region
- 10 PSG film
- 15 Final passivation
- 16 Intermediate part
- Q MISFET

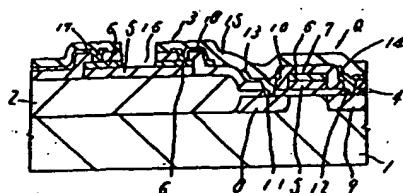


Figure 1

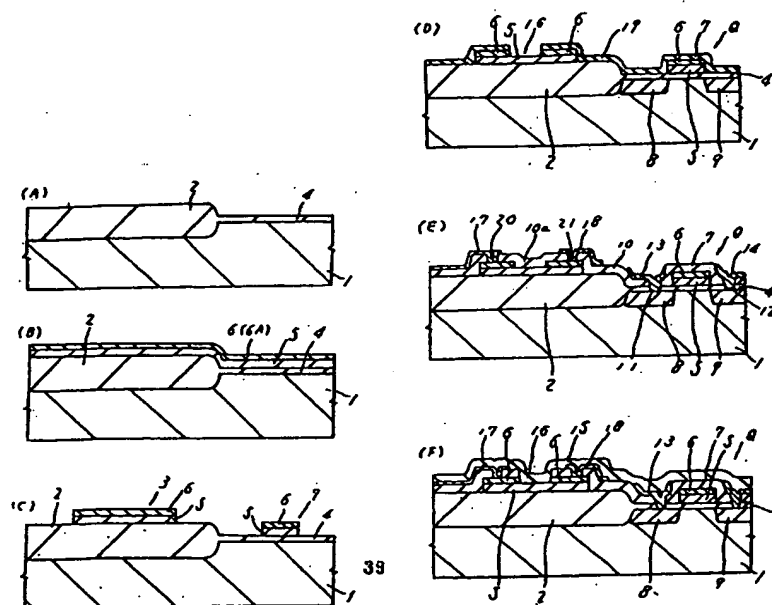


Figure 2

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.